

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-027919

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

G06F 3/00  
H03K 19/0175

(21)Application number : 11-200550

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.07.1999

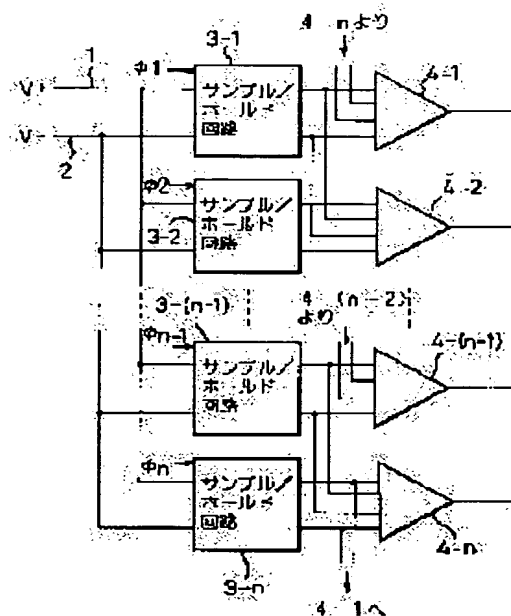
(72)Inventor : TAMURA YASUTAKA

## (54) RECEIVER CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a receiver circuit which can more highly precisely transmit the signal of high speed by giving the time to spare of large timing to a judgement circuit.

SOLUTION: Input lines 1 and 2 to which input signals are supplied, plural sample and hold circuits 3-1 to 3-n which sequentially take in and hold the input signals V+ and V- by multiphase periodical clocks  $\phi_1$  to  $\phi_n$ , and judgment circuits 4-1 to 4-n generating signals equivalent to the weighting sum of the outputs of the sample and hold circuit and judging the input signals are installed. A period when the holding outputs of the sample and hold circuits are valid is made to be longer than the bit time of the input signals. The judgment circuit is operated by using the weighting sum generated in the overlap period of the valid output of the sample and hold circuit operating before and after the pertinent sample and hold circuit.



## LEGAL STATUS

[Date of request for examination]

24.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-27919)

(P2001-27919A)

(43)公開日 平成13年 1 月30日 (2001. 1. 30)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

G 0 6 F 3/00

G 0 6 F 3/00

H

H 0 3 K 19/0175

H 0 3 K 19/00

1.0 1 K

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21)出願番号

特願平11-200550

(22)出願日

平成11年 7 月14日 (1999. 7. 14)

(71)出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 田村 泰孝

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 10007/517

弁理士 石田 敬 (外4名)

(54)【発明の名称】 レシーバ回路

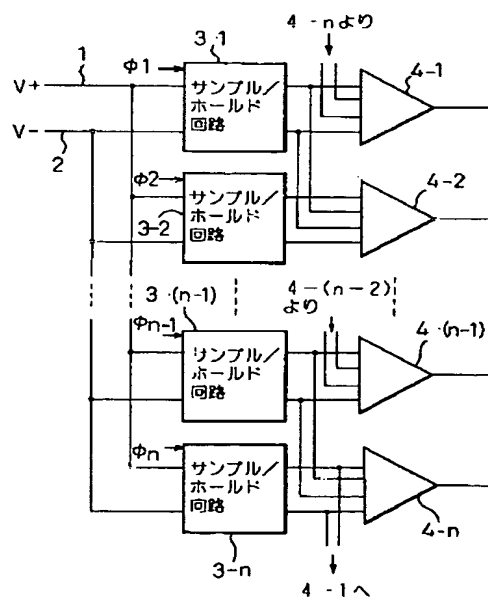
(57)【要約】

【課題】 従来のPRDを利用したレシーバ回路では、判定回路の動作タイミングの-marginが小さかった。

【解決手段】 入力信号が供給される入力線1、2と、該入力線に接続され、多相の周期的クロック $\phi 1 \sim \phi n$ により前記入力信号 $V+$ 、 $V-$ を順次取り込んで保持する複数のサンプル/ホールド回路3-1 $\sim$ 3-nと、該サンプル/ホールド回路の出力の重み付き和に相当する信号を生成して、前記入力信号を判定する判定回路4-1 $\sim$ 4-nとを備え、前記各サンプル/ホールド回路のホールド出力が有効な期間を前記入力信号のビットタイムよりも長くして、当該サンプル/ホールド回路に前後して動作するサンプル/ホールド回路の有効出力のオーバーラップ期間に生成された重み付き和を用いて前記判定回路を動作させるように構成する。

図 5

本発明に係るレシーバ回路の原理構成を示すブロック回路図



## 【特許請求の範囲】

【請求項1】 入力信号が供給される入力線と、  
該入力線に接続され、多相の周期的クロックにより前記  
入力信号を順次取り込んで保持する複数のサンプル／ホ  
ールド回路と、

該サンプル／ホールド回路の出力の重み付き和に相当す  
る信号を生成して、前記入力信号を判定する判定回路と  
を備え、前記各サンプル／ホールド回路のホールド出力  
が有効な期間を前記入力信号のビットタイムよりも長く  
して、当該サンプル／ホールド回路に前後して動作する  
サンプル／ホールド回路の有効出力のオーバーラップ期  
間に生成された重み付き和を用いて前記判定回路を動作  
させるようにしたことを特徴とするレシーバ回路。

【請求項2】 請求項1に記載のレシーバ回路におい  
て、前記判定回路は、前記サンプル／ホールド回路の出  
力の重み付き和に相当する電圧、電流或いは電荷信号を  
生成することを特徴とするレシーバ回路。

【請求項3】 請求項1に記載のレシーバ回路におい  
て、前記サンプル／ホールド回路の出力の重み付き和  
を、トランジスタを用いたトランスコンダクターにより  
該各サンプル／ホールド回路の出力信号を電流に交換  
し、当該各電流を共通の負荷デバイスに流し込むことで  
生成するようにしたことを特徴とするレシーバ回路。

【請求項4】 請求項3に記載のレシーバ回路におい  
て、前記トランスコンダクターのトランジスタの並列接  
続数を変化させることにより前記重み付き和の重みを調  
整するようにしたことを特徴とするレシーバ回路。

【請求項5】 請求項1に記載のレシーバ回路におい  
て、前記判定回路は、各ホールド電圧に充電された容量  
を互いに接続することによって前記サンプル／ホールド  
回路の出力の重み付き和に相当する信号を生成すること  
を特徴とするレシーバ回路。

【請求項6】 請求項1に記載のレシーバ回路におい  
て、前記判定回路は、前記各サンプル／ホールド回路の  
出力に対応する電荷を電荷トランスファ回路で共通の容  
量に移動することによって前記サンプル／ホールド回路  
の出力の重み付き和に相当する信号を生成することを特  
徴とするレシーバ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はレシーバ回路に関  
し、特に、複数のLSIチップ間や1つのチップ内にお  
ける複数の素子や回路ブロック間の信号伝送、或いは、  
複数のボード間や複数の筐体間の信号伝送を高速に行う  
ためのレシーバ回路に関する。近年、コンピュータやそ  
の他の情報処理機器を構成する部品の性能は大きく向上  
しており、例えば、DRAM (Dynamic Random Access  
Memory) 等の半導体記憶装置やプロセッサ等の性能向上  
は目を見張るものがある。そして、この半導体記憶装置  
やプロセッサ等の性能向上に伴って、各部品或いは要素

間の信号伝送速度を向上させなければ、システムの性能  
を向上させることができないという事態になって来てい  
る。具体的に、例えば、DRAM等の主記憶装置とプロ  
セッサとの間の信号伝送速度がコンピュータ全体の性能  
向上の妨げになりつつある。さらに、サーバと主記憶装  
置或いはネットワークを介したサーバ間といった筐体や  
ボード（プリント配線基板）間の信号伝送だけでなく、  
半導体チップの高集積化並びに大型化、および、電源電  
圧の低電圧化（信号振幅の低レベル化）等により、チッ  
プ間の信号伝送やチップ内における素子や回路ブロック  
間での信号伝送においても信号伝送速度の向上が必要と  
なっている。そこで、より一層の高精度で高速の信  
号伝送が可能なレシーバ回路の提供が要望されている。

## 【0002】

【従来の技術】図1は従来の信号伝送システムの一例を  
概略的に示すブロック図である。図1において、参照符  
号101は差動ドライバ、102は信号伝送路（ケーブル）、  
そして、103は差動レシーバ（レシーバ回路）  
を示している。図1に示されるように、例えば、ボード  
間や筐体間（例えば、サーバと主記憶装置との間）の高  
速信号伝送では一般に差動の信号伝送が行われている。  
ここで、例えば、差動ドライバ101は信号の送信側で  
あるサーバ（主記憶装置）に設けられ、また、レシーバ  
回路103は信号の受信側である主記憶装置（サーバ）  
に設けられている。なお、差動信号（相補信号）による  
信号伝送は、ボード間や筐体間だけでなく、例えば、チ  
ップ内の素子や回路ブロック間等においても利用され  
る。

【0003】図2は図1の信号伝送システムにより伝送  
された信号データの一例を示す波形図である。LSIや  
ボード間、或いは、筐体間でデータ信号を伝送する場  
合、伝送路（ケーブル102）等による伝送距離が比較  
的長かったり、伝送路の導体幅が狭い場合等には、表皮  
効果その他の高周波損失により符号間に干渉が生じて、  
信号データの『0』、『1』を正確に判別することが難  
しくなって高速の信号伝送が困難になる。すなわち、例  
えば、図1に示すような信号伝送システムにおいて、送  
信側の差動ドライバ101から受信側の差動レシーバ1  
03に対して、ケーブル102を介してデータ“101  
001011…”を送信したとき、受信側（差動レシー  
バ103）に送られた信号データの波形は図2に示すよ  
うな歪んだものとなって本来差動信号の電圧値が交差す  
るはずの箇所（EP）で交差が生じないために、通常の  
差動増幅器を用いた差動レシーバ（103）では、送ら  
れてきたデータを“100001111…”として誤っ  
て判定してしまう。

## 【0004】

【発明が解決しようとする課題】前述したように、高速  
伝送された差動信号を受信するために通常の差動増幅器  
を用いると、符号間干渉により信号データの『0』、

『1』を正確に判別することができずに誤判定が生じる危険がある。この問題を解決する手法として、PRD (Partial Response Detection) を利用することが提案されている。

【0005】図3は従来のレシーバ回路の一例を概略的に示すブロック回路図であり、図4は図3のレシーバ回路の問題を説明するための図である。図3に示されるように、レシーバ回路は、容量ネットワークおよび判定回路(ラッチ20)を備えて構成されている。容量ネットワークは、スイッチ10~15および容量16~19で構成され、レシーバ回路(103)の一方の入力(信号)  $V+$  は、容量16と、直列接続されたスイッチ10および容量17とを介してラッチ20の一方の入力に接続され、同様に、レシーバ回路の他方の入力  $V-$  は、容量19と、直列接続されたスイッチ13および容量18とを介してラッチ20の他方の入力に接続されている。

【0006】スイッチ10と容量17との接続ノード、および、スイッチ13と容量18との接続ノードには、それぞれスイッチ11および12を介して参照電圧  $V_{ref}$  が印加されるようになっており、また、ラッチ20の各入力にはそれぞれスイッチ14および15を介してプリチャージ電圧  $V_{pr}$  が印加されるようになっている。そして、この容量ネットワーク部(10~19)により差動信号に含まれる符号間干渉成分の推定動作および信号判定動作を交互に行ってデータの判定を行うようになっている。

【0007】すなわち、符号間干渉成分の推定動作は、図4におけるクロック  $CLK$  の立ち下がりタイミング  $t_f$  において、スイッチ11、12およびスイッチ14、15をオンとし、スイッチ10、13をオフとして前ビットタイムでの電圧を容量に蓄積する。一方、信号判定動作は、図4におけるクロック  $CLK$  の立ち上がりタイミング  $t_r$  において、スイッチ11、12およびスイッチ14、15をオフとし、スイッチ10、13をオンとして容量に蓄積された前ビットタイムでの電圧値の一部を現ビットタイムの判定のときに信号値から差し引くことで、すなわち、前ビットの信号電圧を蓄積した容量17および18を、入力線と判定回路を接続する結合容量16および19に対して並列に接続することで行う。そして、このPRDを利用したレシーバ回路により、符号間干渉の影響を低減して信号データを正しく判定できるようになっている。なお、レシーバ回路としては、図3に示したものに限定されず他の様々なものを使用することができる。

【0008】しかしながら、上述のPRDを利用したレシーバ回路は、符号間干渉の差し引きを正しく行うことができるのは前ビットの信号値を蓄積したタイミングのビットタイム( $T$ )だけ後の時点だけであり、それ以後は信号電圧の変化に伴いラッチ20(判定回路)の信号

値は変化してしまう。すなわち、判定回路は、正しいタイミングに合わせて極めて高速に動作させなければならず、判定回路の動作タイミングに対する余裕度が小さいことになる。

【0009】本発明は、上述した従来のレシーバ回路が有する課題に鑑み、判定回路に大きなタイミングの余裕を与えることで、より一層高精度で高速の信号伝送が可能なレシーバ回路の提供を目的とする。

【0010】

【課題を解決するための手段】本発明によれば、入力信号が供給される入力線と、該入力線に接続され、多相の周期的クロックにより前記入力信号を順次取り込んで保持する複数のサンプル/ホールド回路と、該サンプル/ホールド回路の出力の重み付き和に相当する信号を生成して、前記入力信号を判定する判定回路とを備え、前記各サンプル/ホールド回路のホールド出力が有効な期間を前記入力信号のビットタイムよりも長くして、当該サンプル/ホールド回路に前後して動作するサンプル/ホールド回路の有効出力のオーバーラップ期間に生成された重み付き和を用いて前記判定回路を動作させるようにしたことを特徴とするレシーバ回路が提供される。

【0011】図5は本発明に係るレシーバ回路の原理構成を示すブロック回路図であり、図6は図5のレシーバ回路における動作を説明するためのタイミング図である。図5において、参照符号1、2は入力線、3-1~3-nはサンプル/ホールド回路、そして、4-1~4-nは判定回路(ラッチ)を示している。なお、入力線としては、相補(2本)である必要はなく、シングルエンド(1本)の入力線として構成することもできる。

【0012】本発明のレシーバ回路は、容量およびスイッチを用いたサンプル/ホールド回路3-1~3-nを用いるが、サンプル/ホールド回路には様々な方式があり、以下に示す各実施例では、信号線( $V+$ ,  $V-$ )からの電圧をトランジスタスイッチを介して容量に接続した形を例にして説明する。まず、トランジスタスイッチは、クロック  $\phi$  が高レベルHの期間に導通するものと仮定する。この導通期間において、容量は信号電圧により充電される。ここで、スイッチのオン抵抗とサンプル容量の積が、クロック  $\phi$  が高レベルHの期間の長さ  $T_s$  より十分小さければサンプル容量の電圧は信号電圧をほぼ忠実にフォローすることになる。

【0013】次に、スイッチをオフにすると、サンプル容量の電圧は、スイッチがオフになった時点の信号値をホールドする。ここで、ホールドされた信号が有効な期間を  $T_h$  とすると、 $T_s$  と  $T_h$  の和はクロック  $\phi$  ( $\phi_k$ ) の周期  $T_p$  に等しくなる。ここで、複数のサンプルホールド回路3-1~3-nを多相のクロック  $\phi_1 \sim \phi_n$  で動作させると、動作が連続する2つのサンプル/ホールド回路3-kおよび3-(k+1)の間では動作クロックは時間的にビットタイム  $T$  だけずれている。従って、

もし各サンプル/ホールド回路の出力の有効期間 $T_h$ がビットタイム $T$ より長ければ、隣り合うサンプル/ホールド回路(3-k, 3-(k+1))間において、有効期間にオーバーラップ期間 $T_{op}$ が生じる。このオーバーラップ期間 $T_{op}$ は、2つのサンプル/ホールド回路(3-k, 3-(k+1))の出力が一定であり、この期間だけのタイミングマージンが生じることになる。

【0014】このように、本発明のレシーバ回路は、多相クロックを用いてサンプル/ホールド回路のクロック周期 $T_p$ を長くし、サンプル期間 $T_s$ を短くすることにより、オーバーラップ期間 $T_{op}$ を長くすることで、その分判定回路の動作に時間をかけることができる。すなわち、判定回路のタイミングマージンを大きくとることが可能になる。さらに、本発明に係るPRDを適用したレシーバ回路は、多相クロックで駆動されるサンプル/ホールド回路の有効出力期間をオーバーラップさせることにより、このオーバーラップ期間の分だけ判定回路の動作時間を長くすることができ、タイミングマージンが大きくなり、結果として高速動作を実現することができる。

【0015】

【発明の実施の形態】以下、本発明に係るレシーバ回路の各実施例を図面を参照して詳述する。図7は本発明に係るレシーバ回路の第1実施例を示すブロック回路図であり、また、図8は図7のレシーバ回路の動作を説明するためのタイミング図である。図7において、参照符号1および2は信号線、31および32はサンプル/ホールド回路、そして、41および42は判定回路(ラッチ)を示している。

【0016】図7に示されるように、本第1実施例のレシーバ回路は、2つのサンプル/ホールド回路31、32、および、2つの判定回路41、42を備えている。各サンプル/ホールド回路31および32は、それぞれ容量311、312および321、322、並びに、スイッチ313、314および323、324を備え、それぞれ容量311、312; 321、322にスイッチ313、314; 323、324を介して信号線1および2に伝えられた信号を導入するようになっている。

【0017】スイッチ313および314はクロック $\phi$ 1により動作し、クロック $\phi$ 1が高レベルHの期間は導通し、それ以外の期間は切れるようになっている。また、スイッチ323および324はクロック $\phi$ 2により動作し、クロック $\phi$ 2が高レベルHの期間は導通し、それ以外の期間は切れるようになっている。そして、図8に示されるように、2つのサンプル/ホールド回路31および32は、それぞれクロック $\phi$ 1および $\phi$ 2で動作するが、このクロック $\phi$ 1と $\phi$ 2とは時間 $T$ ( $T$ はビットタイム)だけずれた周期 $2T$ のクロックとされ、互いの低レベルLの期間( $T_{op}$ )はオーバーラップしている。なお、図8において、参照符号Sはサンプリングタ

イミング、Dは検出(判定)タイミング、 $T_s$ はクロック $\phi$ 1が高レベルHとなる期間、そして、 $T_h$ はホールドされた信号が有効な期間を示している。

【0018】判定回路41および42は、リジェネラティブ(regenerative)ラッチ回路であり、これら各リジェネラティブラッチ回路41および42は、後述するように入力トランジスタペアを2組備えている。図9は図7のレシーバ回路におけるラッチの一構成例を示す回路図である。図9に示されるように、判定回路41(42)は、Pチャネル型MOSトランジスタ401~404、Nチャネル型MOSトランジスタ405~412、および、NANDゲート413、414を備えて構成され、トランジスタ405、406により信号 $V_+$ 、 $V_-$ を受け取る第1のトランジスタペアを構成し、また、トランジスタ407、408により信号 $V_{ot}$ 、 $V_{or}$ を受け取る第2のトランジスタペアを構成するようになっている。ここで、トランジスタ405、406のゲート幅( $2W$ )およびトランジスタ411のゲート幅( $2W_t$ )は、トランジスタ407、408のゲート幅( $W$ )およびトランジスタ412のゲート幅( $W_t$ )の2倍として形成されている。すなわち、例えば、判定回路41において、前段の一方のサンプル/ホールド回路31の出力( $V_+$ 、 $V_-$ )は、第1のトランジスタペアのトランジスタ405、406のゲートに供給され、また、他方のサンプル/ホールド回路32の出力( $V_{ot}$ 、 $V_{or}$ )は、上記第1のトランジスタペアと反対の極性で第2のトランジスタペアのトランジスタ407、408のゲートに供給されるようになっている。なお、トランジスタ405、406および411のゲート幅と、トランジスタ407、408および412のゲート幅とは、2:1の比率に限定されるものではなく、現在のビットタイムの信号( $V_+$ 、 $V_-$ )に対する直前のビットタイムの信号( $V_{ot}$ 、 $V_{or}$ )の影響を考慮して他の値に設定することもできる。

【0019】これにより、判定回路41は、現在のビットタイムの信号( $V_+$ 、 $V_-$ )から直前のビットタイムの信号( $V_{ot}$ 、 $V_{or}$ )の50%を差し引いた値を判定する。なお、判定回路42も判定回路41と同様の動作をビットタイム $T$ だけずれた位相で行うことになる。本第1実施例では、判定回路41および42は、2つのサンプル/ホールド回路31および32の出力が共に一定の期間に判定動作を行うため、このオーバーラップ時間( $T_{op}$ )だけ判定タイミングがずれても判定結果に影響が生じることがなく、従来の回路に比べてより高速な動作に対して余裕を持たせることができる。

【0020】図10は図7のレシーバ回路におけるサンプル/ホールド回路31、32の変形例を示す回路図である。図10に示されるように、本変形例のサンプル/ホールド回路30は、容量(ホールド用容量)301、302、および、スイッチ303~308を備えて構成される。サンプル期間中は、スイッチ303、306お

よび307, 308がオンでスイッチ304, 305がオフとなって、ホールド用容量301および302は、一端が信号線1および2に接続され、他端が判定回路40の入力に接続され、さらに、判定回路40の入力端がプリチャージ電位 $V_{pr}$ に充電される。また、ホールド期間には、スイッチ303, 306および307, 308がオフでスイッチ304, 305がオンとなって、ホールド用容量301および302の一端は信号線1および2から切り離されて基準電位 $V_{ref}$ が印加される。

【0021】一般に、サンプル／ホールド回路ではトランジスタスイッチが切れるときのチャネルチャージがホールド容量に流れ込んで誤差を生じることになるが、本変形例の場合には、その電荷は信号振幅に依存せず一定であるため、差動信号を扱う限りは相殺されて出力に影響を与えないという利点がある。図11は本発明に係るレシーバ回路の第2実施例を示す回路図であり、また、図12は図11のレシーバ回路の動作を説明するためのタイミング図である。図11において、参照符号3-1~3-4はサンプル／ホールド回路、また、4-1~4-4は判定回路（ラッチ）を示している。

【0022】図11に示されるように、本第2実施例は、4つのサンプル／ホールド回路3-1~3-4および4つの判定回路4-1~4-4を使用し、各サンプル／ホールド回路3-1~3-4に対してそれぞれ信号（クロック） $\phi_1 \sim \phi_4$ を供給して駆動するようになっている。ここで、サンプル／ホールド回路3-1~3-4の駆動信号 $\phi_1 \sim \phi_4$ は、図12に示されるように、周期 $T_p$ が4ビットタイム（4T）の4相クロックとされており、また、判定回路4-1~4-4のラッチタイミングを制御するラッチ信号 $LAT_1 \sim LAT_4$ は、信号 $\phi_1 \sim \phi_4$ を多少遅延させたタイミングとなっている。ここで、各クロック $\phi_1 \sim \phi_4$ が高レベルHの期間 $T_s$ は2ビットタイム（2T）であり、また、ホールドされた信号が有効な期間 $T_h$ も2ビットタイム（2T）である。そして、隣り合う相で動作する2つのサンプル／ホールド回路間（例えば、サンプル／ホールド回路3-1と3-2との間）で出力の有効期間に1ビットタイム（T）だけのオーバーラップ期間 $T_{op}$ が生じ、従って、判定回路（ラッチ）4-1~4-4が動作するためのタイミングマージンをビットタイムTとすることができる。具体的に、本第2実施例では、判定回路の動作タイミングマージンをビットタイム（T）と同等だけ十分長くすることができるため、例えば、10Gb/s程度の超高速信号伝送であっても判定回路を余裕を持って動作させることが可能となる。

【0023】図13は本発明に係るレシーバ回路の第3実施例の要部（判定回路）を示す回路図である。図13に示されるように、本第3実施例の判定回路は、ラッチ420、Pチャネル型MOSトランジスタ421, 422、Nチャネル型MOSトランジスタ423~428を

備えており、前段のサンプル／ホールド回路の出力電圧（ $V_+$ ,  $V_-$ ;  $V_{o+}$ ,  $V_{o-}$ ）がそれぞれ電圧－電流変換の機能を持つ差動のトランスコンダクターに接続されている。ここで、差動のトランスコンダクターは、テイル電流を定電流とした差動ペア（423, 424; 425, 426）を用いており、これがPチャネル型トランジスタの負荷デバイス（421; 422）に接続される。すなわち、本第3実施例では、判定回路のステージで電流和の形でサンプル／ホールド回路出力の重み付き和が生成され、その値を判定するようになっている。このように、本第3実施例で、直接ラッチに接続するのに比べて重み付き和を生成するリニアリティが優れ、精度の高い判定が可能になる。

【0024】ここで、トランジスタ423, 424のゲート幅（2W）およびトランジスタ427のゲート幅（2Wt）は、例えば、トランジスタ425, 426のゲート幅（W）およびトランジスタ428のゲート幅（Wt）の2倍として形成され、現在のビットタイムの信号（ $V_+$ ,  $V_-$ ）から直前のビットタイムの信号（ $V_{o+}$ ,  $V_{o-}$ ）の50%を差し引いて重み付けをした値を判定するようになっている。なお、トランジスタ423, 424および427のゲート幅と、トランジスタ425, 426および428のゲート幅とは、2:1の比率に限定されるものではなく、現在のビットタイムの信号に対する直前のビットタイムの信号の影響を考慮して他の値に設定することができるのは前述したと同様である。

【0025】図14は本発明に係るレシーバ回路の第4実施例を示す回路図であり、1つのサンプル／ホールド回路（3-n）および判定回路（4-n）のみを示すものである。図14に示されるように、サンプル／ホールド回路（3-n）は、容量331, 332、スイッチ335~342を備え、n番目の制御信号 $\phi_n$ およびn-1番目の制御信号 $\phi_{n-1}$ により制御されるスイッチ335~342により2組のホールド容量331, 332の接続を制御するようになっている。また、判定回路（4-n）は、容量333、インバータ334、スイッチ343, 344を備えている。ここで、参照符号 $\phi_{op}$ は、制御信号 $\phi_{n-1}$ および $\phi_n$ のオーバーラップする期間に出力される信号であり、 $\phi_{op}$ は信号 $\phi_{op}$ の反転レベルの信号である。

【0026】本第4実施例のレシーバ回路において、判定期間には、現在のビットタイムの信号電圧をホールドする容量332に対して直列に、過去のビットタイムの信号をホールドした容量331ともう1個の結合容量333との並列接続したものを接続する。この結果、ラッチに入力される信号値は、現在のビットタイムの信号値から $WW \times$ （過去のビットタイムの信号値）を差し引いたものになる。ここで、容量331の値をC1とし、容量332の値をC2とし、容量333の値をC3とすると、WWは並列接続される容量331および333の比

率で決まり、 $WW = C1 / (C1 + C3)$  となる。本第4実施例では、重み付けの和（重み付き和）が各容量331～333の容量比（ $C1, C2, C3$ ）で決まるために、本質的にリニアリティを高くすることができる。

【0027】図15は本発明に係るレシーバ回路の第5実施例を示す回路図である。図15において、参照符号31および32は、例えば、図7を参照して説明した第1実施例と同様の構成を有するサンプル／ホールド回路、430はラッチ（判定回路）、431～434はNチャネル型MOSトランジスタ、そして、435および436はスイッチを示している。

【0028】図15に示されるように、本第5実施例では、サンプル／ホールド回路のサンプル容量（図7に示す容量311、312；321、322）は、判定期間にはゲート電位を一定にバイアスされたNチャネル型MOSトランジスタ431～434のソースに接続（いわゆるゲート接地形式）されている。これらのトランジスタ431～434は定電流モードで動作されるため、ホールド容量（311、312；321、322）からソースへの電荷の流れ込みはドレイン側のノードを定電流で放電し、流れ込んだのと同じ量の電荷変化がドレイン側に発生する。その結果、ドレイン側では、現ビットタイムの信号電荷と1ビット前のビットタイムの信号電荷の重み付き和に相当する電荷の変化が生じることになる。これは、いわゆるチャージトランスファアンプと同じ動作原理である。

【0029】この本第5実施例によれば、信号の重み付き和と信号増幅とが同時に行われることになる。また、チャージトランスファに用いるトランジスタのゲート・ソース電圧は自然に閾値電圧（ $V_{th}$ ）の近くにバイアスされるため、トランジスタの $V_{th}$ のばらつきが補償され、この $V_{th}$ のばらつきに依存しない高感度の増幅が可能になる。従って、本第5実施例は、感度の高いレシーバを容易に実現することができる。

【0030】図16は本発明に係るレシーバ回路の第6実施例の要部（判定回路）を示す回路図である。図16に示されるように、本第6実施例の判定回路は、ラッチ440、Pチャネル型MOSトランジスタ441、442、そして、Nチャネル型MOSトランジスタ443～445、446-1～446-n、447-1～447-n、448-1～448-n、449-1～449-nを備えている。

【0031】本第6実施例の判定回路は、前述した図13に示す第3実施例の判定回路と異なり、1ビット前の信号を電流に変換するトランスコンダクターが複数のトランスコンダクター（446-1、447-1、448-1、449-1～446-n、447-n、448-n、449-n）の並列接続で構成され、そのテイル電流をスイッチすることで動作するトランスコンダクターの数を重み制御コードにより制御できるようになってい

る。なお、この重み制御コードは、各判定回路に対して同じものを与える。

【0032】本第6実施例では、例えば、PRDの等化パラメータを制御することが可能であり、伝送線路の品質に合わせた最適の等化パラメータを選ぶことができる。なお、トランスコンダクター以外でも、前述した第4実施例や第5実施例のように容量接続を使う形式でもチャージトランスファを用いる場合でも同様に等化パラメータの調整が可能なのは言うまでもない。

【0033】図17は本発明に係るレシーバ回路の第7実施例の要部（判定回路）を示す回路図である。図17に示されるように、本第7実施例の判定回路は、ラッチ450、Pチャネル型MOSトランジスタ451、452、Nチャネル型MOSトランジスタ453～459、および、電流出力D/Aコンバータ460を備えている。

【0034】本第7実施例の判定回路は、前述した図13に示す第3実施例の判定回路と異なり、サンプルされた信号を電流に変換するトランスコンダクターのテイル電流を、例えば、6ビットの電流出力D/Aコンバータ460で制御して重み付き和を調整するようになっている。本第7実施例によれば、重み付き和は、D/Aコンバータの分解能により制御することができるため、制御の分解能を高くすることが容易であり、その結果として、より最適なイコライズが可能になって高感度のレシーバを実現することができる。

【0035】

【発明の効果】以上、詳述したように、本発明によれば、PRDレシーバにおける判定回路の動作タイミングのマージンを大きくすることができるため、より一層高精度で高速の信号伝送が可能なレシーバ回路を構成することができる。

〔付記〕

1. 入力信号が供給される入力線と、該入力線に接続され、多相の周期的クロックにより前記入力信号を順次取り込んで保持する複数のサンプル／ホールド回路と、該サンプル／ホールド回路の出力の重み付き和に相当する信号を生成して、前記入力信号を判定する判定回路とを備え、前記各サンプル／ホールド回路のホールド出力が有効な期間を前記入力信号のビットタイムよりも長くして、当該サンプル／ホールド回路に前後して動作するサンプル／ホールド回路の有効出力のオーバーラップ期間に生成された重み付き和を用いて前記判定回路を動作させるようにしたことを特徴とするレシーバ回路。

【0036】2. 項目1に記載のレシーバ回路において、前記判定回路は、前記サンプル／ホールド回路の出力の重み付き和に相当する電圧、電流或いは電荷信号を生成することを特徴とするレシーバ回路。

3. 項目1に記載のレシーバ回路において、前記サンプル／ホールド回路の動作周期を前記入力信号のビットタ

イムの2倍とし、且つ、該サンプル／ホールド回路のサンプル期間をホールド期間よりも長くして、動作が前後するサンプル／ホールド回路の出力有効期間をオーバーラップさせるようにしたことを特徴とするレシーバ回路。

【0037】4. 項目1に記載のレシーバ回路において、前記サンプル／ホールド回路の動作周期を前記入力信号のビットタイムの3倍以上とし、前記各サンプル／ホールド回路の出力有効期間を前記入力信号のビットタイム以上としたことを特徴とするレシーバ回路。

5. 項目1に記載のレシーバ回路において、前記サンプル／ホールド回路の出力の重み付き和を、トランジスタを用いたトランスコンダクターにより該各サンプル／ホールド回路の出力信号を電流に交換し、当該各電流を共通の負荷デバイスに流し込むことで生成するようにしたことを特徴とするレシーバ回路。

【0038】6. 項目5に記載のレシーバ回路において、前記トランスコンダクターのトランジスタの並列接続数を変化させることにより前記重み付き和の重みを調整するようにしたことを特徴とするレシーバ回路。

7. 項目5に記載のレシーバ回路において、前記トランスコンダクターの電流バイアス値を調整することにより前記重み付き和の重みを調整するようにしたことを特徴とするレシーバ回路。

【0039】8. 項目1に記載のレシーバ回路において、前記判定回路は、各ホールド電圧に充電された容量を互いに接続することによって前記サンプル／ホールド回路の出力の重み付き和に相当する信号を生成することを特徴とするレシーバ回路。

9. 項目8に記載のレシーバ回路において、前記判定回路は、前記各容量に蓄積された電荷の違いによって前記重み付き和を生成することを特徴とするレシーバ回路。

【0040】10. 項目1に記載のレシーバ回路において、前記判定回路は、前記各サンプル／ホールド回路の出力に対応する電荷を電荷トランスファ回路で共通の容量に移動することによって前記サンプル／ホールド回路の出力の重み付き和に相当する信号を生成することを特徴とするレシーバ回路。

11. 項目10に記載のレシーバ回路において、前記電荷トランスファ回路のトランジスタの並列接続数を変化させることにより前記重み付き和の重みを調整するようにしたことを特徴とするレシーバ回路。

【図面の簡単な説明】

【図1】従来の信号伝送システムの一例を概略的に示すブロック図である。

【図2】図1の信号伝送システムにより伝送された信号データの一例を示す波形図である。

【図3】従来のレシーバ回路の一例を概略的に示すブロック回路図である。

【図4】図3のレシーバ回路の問題を説明するための図である。

【図5】本発明に係るレシーバ回路の原理構成を示すブロック回路図である。

【図6】図5のレシーバ回路の動作を説明するためのタイミング図である。

【図7】本発明に係るレシーバ回路の第1実施例を示すブロック回路図である。

【図8】図7のレシーバ回路の動作を説明するためのタイミング図である。

【図9】図7のレシーバ回路における判定回路の一構成例を示す回路図である。

【図10】図7のレシーバ回路におけるサンプル／ホールド回路の変形例を示す回路図である。

【図11】本発明に係るレシーバ回路の第2実施例を示す回路図である。

【図12】図11のレシーバ回路の動作を説明するためのタイミング図である。

【図13】本発明に係るレシーバ回路の第3実施例の要部(判定回路)を示す回路図である。

【図14】本発明に係るレシーバ回路の第4実施例を示す回路図である。

【図15】本発明に係るレシーバ回路の第5実施例を示す回路図である。

【図16】本発明に係るレシーバ回路の第6実施例の要部(判定回路)を示す回路図である。

【図17】本発明に係るレシーバ回路の第7実施例の要部(判定回路)を示す回路図である。

【符号の説明】

1, 2…信号線

3-1~3-n, 30, 31, 32…サンプル／ホールド回路

4-1~4-n, 40, 41, 42…判定回路(ラッチ)

101…差動ドライバ(ドライバ)

102…信号伝送路(ケーブル)

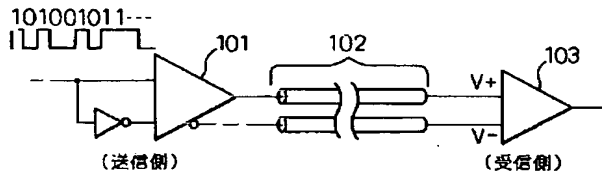
103…差動レシーバ(レシーバ)



【図1】

図 1

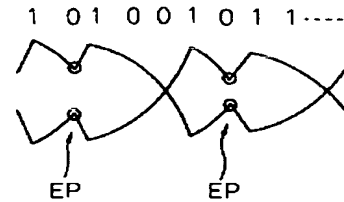
従来の信号伝送システムの一例を概略的に示すブロック図



【図2】

図 2

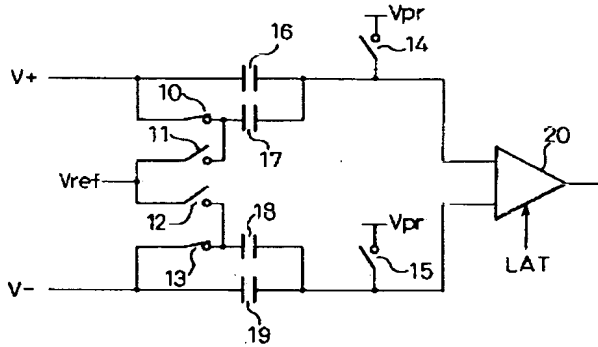
図1の信号伝送システムにより伝送された信号データの一例を示す波形図



【図3】

図 3

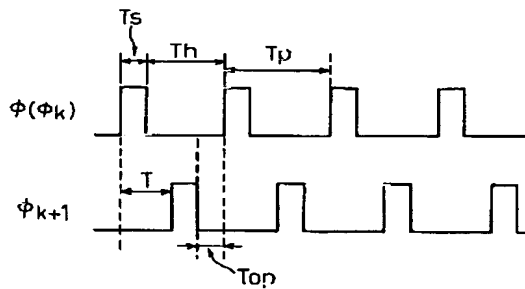
従来のレシーバ回路の一例を概略的に示すブロック回路図



【図6】

図 6

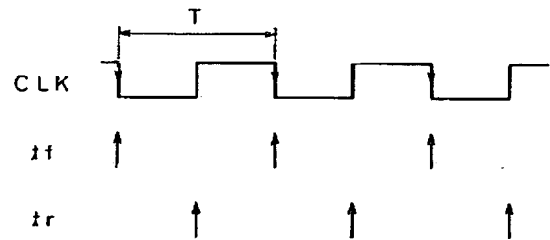
図5のレシーバ回路の動作を説明するためのタイミング図



【図4】

図 4

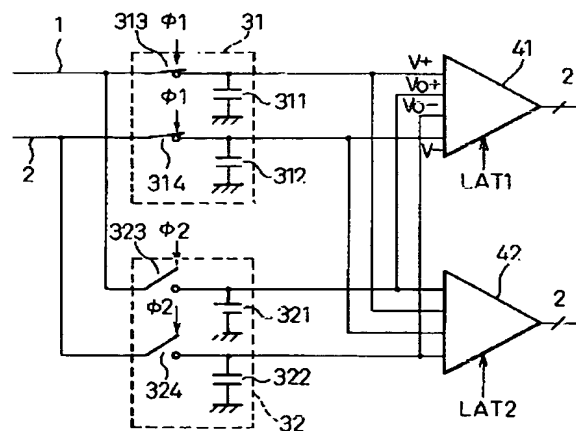
図3のレシーバ回路の問題を説明するための図



【図7】

図 7

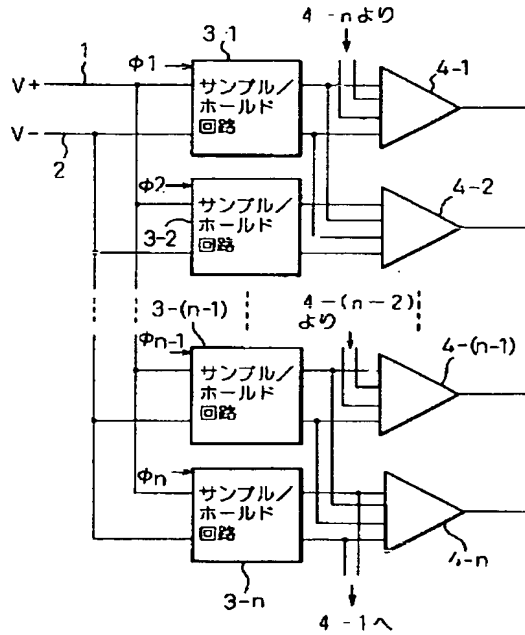
本発明に係るレシーバ回路の第1実施例を示すブロック回路図



【図5】

図 5

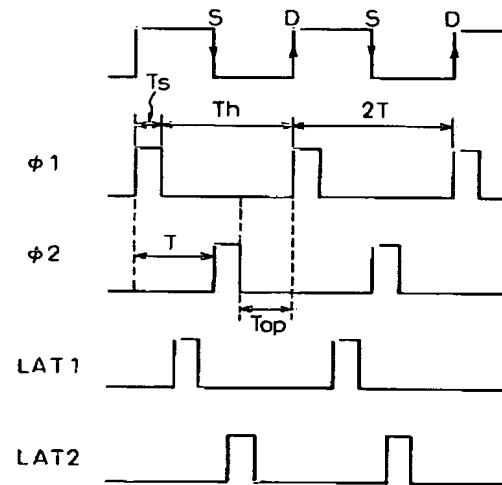
本発明に係るレシーバ回路の原理構成を示すブロック回路図



【図8】

図 8

図 7 のレシーバ回路の動作を説明するためのタイミング図



【図9】

図 7 のレシーバ回路における判定回路の一構成例を示す回路図

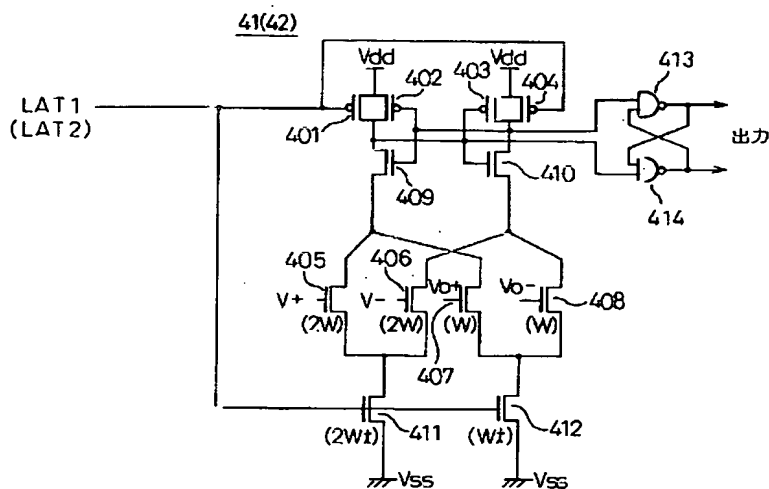
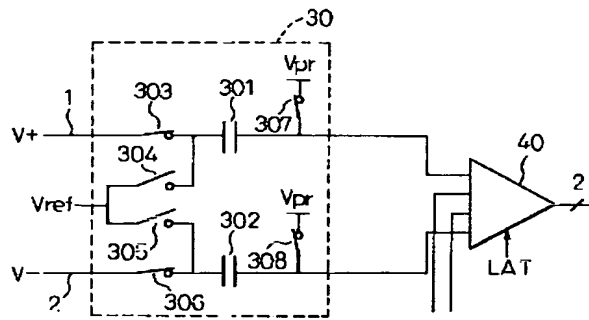


図 6

【図10】

図10

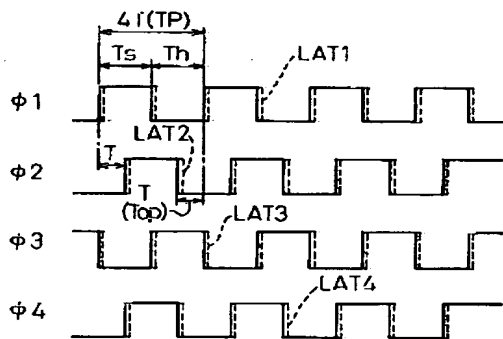
図7のレシーバ回路におけるサンプル/ホールド回路の変形例を示す回路図



【図12】

図12

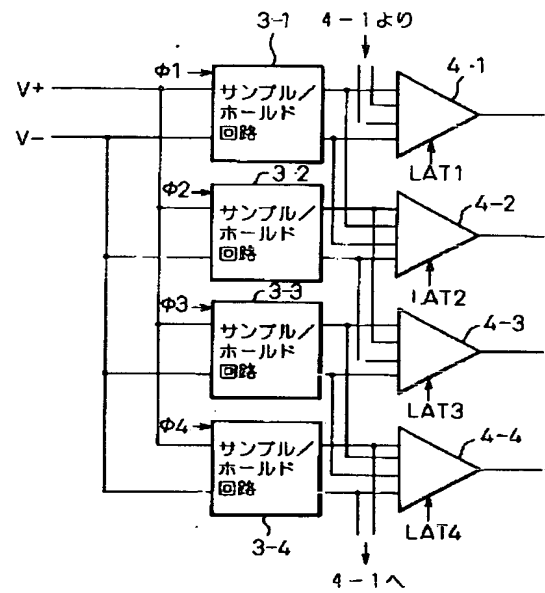
図11のレシーバ回路の動作を説明するためのタイミング図



【図11】

図11

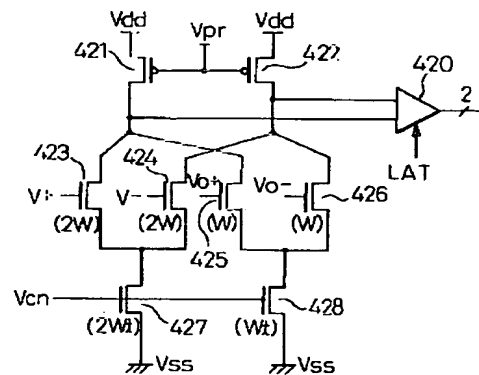
本発明に係るレシーバ回路の第2実施例を示す回路図



【図13】

図13

本発明に係るレシーバ回路の第3実施例の要部（判定回路）を示す回路図



【図14】

本発明に係るレシーバ回路の第4実施例を示す回路図

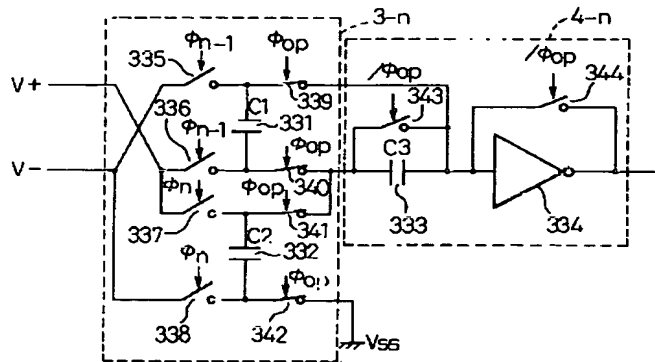
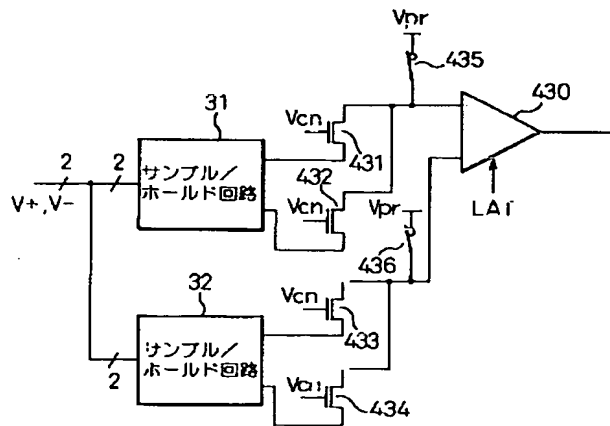


図  
7.

【図15】

図15

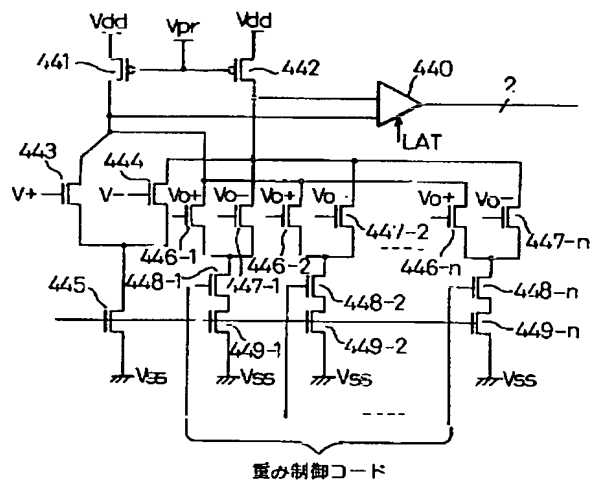
本発明に係るレシーバ回路の第5実施例を示す回路図



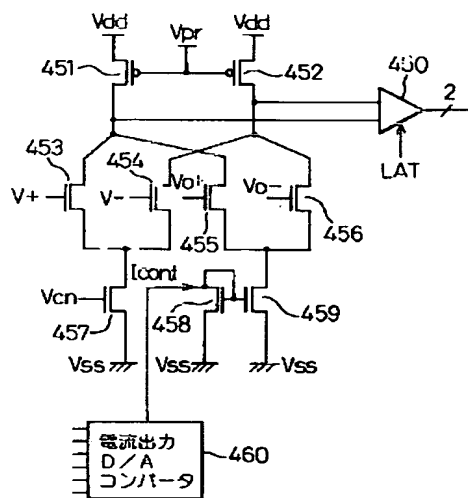
【図16】

図16

本発明に係るレシーバ回路の第6実施例の要部（判定回路）を示す回路図



本発明に係るレシーバ回路の第7実施例の要部（判定回路）を示す回路図。



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**